

**ВІДОКРЕМЛЕНИЙ СТРУКТУРНИЙ ПІДРОЗДІЛ  
«КИЇВСЬКИЙ ФАХОВИЙ КОЛЕДЖ МІСЬКОГО ГОСПОДАРСТВА  
ТАВРІЙСЬКОГО НАЦІОНАЛЬНОГО УНІВЕРСИТЕТУ  
ІМЕНІ В. І. ВЕРНАДСЬКОГО»**

Циклова комісія \_\_\_\_\_

ЗАТВЕРДЖУЮ  
Заступник директора коледжу з  
навчально-виховної роботи  
\_\_\_\_\_  
Людмила ПУСТОВОЙТ  
«29» серпня 2022 року

**РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

**НПП02.04 КОМП'ЮТЕРНА СХЕМОТЕХНІКА**

(код за ОПП і назва навчальної дисципліни)

**підготовки фахового молодшого бакалавра**

**освітньо-професійної програми Обслуговування комп'ютерних систем і мереж  
спеціальності 123 Комп'ютерна інженерія**

відділення **Екології, комп'ютерних систем та автоматизації;**  
**Транспорту, управління та діловодства**

Київ – 2022

Робоча програма з дисципліни Комп'ютерна схемотехніка

(назва навчальної дисципліни)

для підготовки фахових молодших бакалаврів за освітньо-професійною програмою Обслуговування комп'ютерних систем і мереж для 3 курсу

(вказати назву ОПП)

спеціальності 123 Комп'ютерна інженерія

РОЗРОБНИКИ : Лендел Тарас Іванович - к.т.н., доцент.

(вказати авторів, їх посади, наукові ступені та вчені звання)

Робочу програму схвалено на засіданні циклової комісії \_\_\_\_\_

Протокол № 1 від «26» серпня 2022 р.

Голова циклової комісії \_\_\_\_\_



Микола Тарасович  
(ім'я та прізвище)

Розглянуто і затверджено навчально-методичною радою коледжу

Протокол № 1 від «29» серпня 2022 р.

Голова НМР \_\_\_\_\_



Аліна ОДИНЕЦЬ

## Зміст

1. Пояснювальна записка	5
2. Навчально-тематичний план дисципліни	5
3. Календарно-тематичний план	5
4. Теми і плани лекційних занять	5
5. Теми і плани семінарських/лабораторних/практичних занять	5
6. Теми і питання до самостійної роботи	5
7. Методи активізації навчального процесу	5
8. Система поточного і підсумкового контролю знань	5
9. Критерії оцінювання навчальних досягнень здобувачів освіти	5
10. Рекомендована література	5

Додатки

## 1. Пояснювальна записка

### Актуальність даної програми сьогодні.

Знання основ побудови комп'ютерної схемотехніки та архітектури комп'ютерів стає дедалі актуальнішим, оскільки тенденції розвитку комп'ютерної техніки свідчать про те, що з одного боку складність та функціональні можливості комп'ютерної техніки постійно і швидко зростають, а з другого боку, – спостерігається постійна тенденція до персоніфікації цієї складної техніки. Тобто завдання підтримки персонального комп'ютера в робочому стані, налагоджування його роботи та конфігурації, своєчасна модернізація, ремонт та обслуговування все далі стає проблемою не професіоналів-фахівців, а конкретного користувача цього персонального комп'ютера.

Сучасну комп'ютерну схемотехніку складають елементи та вузли, які за способами представлення та обробки сигналів діаметрально відрізняються один від одного. Так, до елементів аналогової електроніки відносяться ті електронні засоби, які призначені для перетворення і обробки інформації, що змінюється за законом безперервної функції, а до елементів цифрової електроніки відносяться ті засоби для перетворення і обробки інформації, яка змінюється за законом дискретної функції. Сучасні інформаційні технології повною мірою використовують як аналогові, так і цифрові схемотехнічні рішення для обробки сигналів.

Необхідність вивчення архітектури та функціонування електронних обчислювальних машин (ЕОМ) визначається появою нових архітектур ЕОМ, які потрібні для складання програм з розповсюджених мов програмування, а також розробкою та реалізацією спеціалізованих мов.

**Метою** навчальної дисципліни є засвоєння необхідних знань з основ теорії побудови та функціонування основних пристроїв, вузлів, базових елементів та архітектури сучасної комп'ютерної техніки, що виконані на базі інтегральної технології, формування твердих практичних навичок щодо оцінки технічного стану комп'ютерної техніки, розрахунків параметрів аналогових та цифрових схем, аналізу умов функціонування та синтезу схем із заданими характеристиками, а також підготовка висококваліфікованих спеціалістів, які вміють раціонально вибирати та використовувати сучасні типи комп'ютерів в умовах автоматизованого проектування; аналізувати, розраховувати, синтезувати та проектувати цифрові електронні пристрої, які використовуються в комп'ютерних та мікропроцесорних системах.

Об'єктом вивчення дисципліни є типові схемотехнічні рішення, елементна база та архітектура сучасних комп'ютеризованих засобів обробки інформації. Предметом вивчення є принципи функціонування, вибору і практичної реалізації електронних та мікроелектронних вузлів, схем та елементів комп'ютерної схемотехніки та архітектури комп'ютерів а також методи їх розрахунку, аналізу, синтезу та організації взаємодії.

Необхідним елементом успішного засвоєння навчального матеріалу дисципліни є самостійна робота студентів з технічною літературою та з сучасними технічними засобами комп'ютеризованої обробки інформації. Дисципліна викладається у першому та другому семестрах, що дає можливість використовувати одержані

знання, практичні навички при подальшому вивченні інших спеціальних дисциплін, при виконанні лабораторних завдань і т. ін.

Процес вивчення дисципліни НПП02.04 Комп'ютерна схемотехніка спрямований на формування елементів наступних компетентностей:

Загальні компетентності:

КЗ3. Здатність до абстрактного мислення, аналізу та синтезу.

КЗ7. Здатність до пошуку, оброблення та аналізу інформації з різних джерел та практичного її застосування.

КЗ8. Здатність вчитися і бути сучасно навченим.

Спеціальні (фахові) компетентності:

КФ5. Розуміння теоретичних (логічних та арифметичних) основ побудови сучасних комп'ютерів і вміння їх застосовувати при вирішенні професійних завдань.

КФ9. Здатність брати участь в модернізації та реконструкції апаратних та програмних засобів комп'ютерної інженерії, зокрема з метою підвищення їх ефективності.

Спеціальні (фахові) знання:

РН18. Знати закони комп'ютерної логіки та комп'ютерної арифметики, які використовуються при проектуванні арифметико-логічних пристроїв та інших блоків комп'ютера.

## 2. Навчально-тематичний план дисципліни (для заочного відділення окремих навчально-тематичний план)

№	Назва розділу	Кількість годин			
		Всього	Лекції	Семін. Практ. Лабор.	Самос т.
1.	Схемотехніка типових вузлів і блоків	38	16	8	14
2.	Системи числення	36	12	6	18
3.	Схемотехніка запам'ятовуючих пристроїв	54	20	8	26
4.	Схемотехніка арифметичних пристроїв	56	22	12	22
5.	Інтегральні схеми та перетворювачі	20	8	4	8
6.	Управляючі та комунікаційні засоби	12	4		8
7.	Схемотехніка систем на ВІС	24	6	2	16

	<b>Всього</b>	<b>240</b>	<b>88</b>	<b>40</b>	<b>112</b>
--	---------------	------------	-----------	-----------	------------

### 3. Календарно-тематичний план дисципліни (для заочного відділення окремий календарно-тематичний план)

№	Назва розділу, теми, заняття	Кількість годин		
		Лекції	Семін. Практ. Лабор.	Самост.
	<b>Розділ 1</b> Схемотехніка типових вузлів і блоків			
1.	Основи комп'ютерної схемотехніки	2		2
2.	Основні вузли і блоки цифрової техніки	2		4
3.	Будова типових вузлів і блоків цифрової техніки		2	
4.	Спектральний аналіз періодичних і неперіодичних сигналів	2		
5.	Перетворення безперервних сигналів у	2		4
6.	Кількісна оцінка інформації	2		4
7.	Інтегральна схемотехніка ЕОМ	2		
8.	Базові логічні елементи	4		
9.	Дослідження базових логічних елементів		6	
	<b>Всього по розділу</b>	16	8	14
	<b>Розділ 2</b> Системи числення			
10.	Системи числення в техніці	2		4
11.	Основи алгебри логіки		2	
12.	Арифметичні операції в двійковій і двійково-десятковій системах числення	4		

13.	Синтез комбінаційних цифрових вузлів		2	
14.	Форми представлення чисел	2		10
15.	Кодування чисел	2		
16.	Множення двійкових чисел		2	
17.	Логічні елементи, способи мінімізації	2		4
	<b>Всього по розділу</b>	12	6	18
	Розділ 3 Схемотехніка запам'ятовуючих пристроїв			
18.	Оперативна пам'ять. Регістрова та буферна	2		4
19.	Будова запам'ятовувальних пристроїв сучасних ЕОМ		2	
20.	Постійна пам'ять. Асоціативна пам'ять	2		4
21.	Принцип роботи ОЗП. КЕШ пам'ять.	2		4
22.	Тригери	2		<b>6</b>
23.	Асинхронні тригери	2		<b>2</b>
24.	Синхронізуючі одноктактні тригери	4	2	2
25.	Синхронізуючі двотактні тригери	6	4	4
	<b>Всього по розділу</b>	20	8	26
	Розділ 4 Схемотехніка арифметичних пристроїв			
26.	Шифратори. Дешифратори	4		4
27.	Дослідження дешифраторів і шифраторів		2	2
28.	Мультиплексори. Демультиплексори	4		4

29.	Регістри. Схеми Зсуву	8		
30.	Дослідження послідовних і кільцевих реєстрів		4	
31.	Різновиди суматорів	2		6
32.	Дослідження суматорів		2	
33.	Пристрої множення чисел. Реалізація ділення та інших операцій.	2	4	4
34.	Цифрові компаратори	2		2
	<b>Всього по розділу</b>	22	12	22
	Розділ 5 Інтегральні схеми та перетворювачі			
35.	Технології виготовлення інтегральних мікросхем	2		8
36.	Операційні підсилювачі	2		
37.	Реалізація логічних функцій у різноманітних базисах		2	
38.	Цифро-аналогові перетворювачі та аналогово-цифрові перетворювачі	2		
39.	Цифро-аналогові та аналогово-цифрові перетворювачі		2	
40.	Генерація випадкових послідовностей	2		
	<b>Всього по розділу</b>	8	4	8
	Розділ 6 Управляючі та комунікаційні засоби			
41.	Схемотехніка пристроїв управління за призначенням	2		4
42.	Різновиди та реалізація каналів передачі інформації	2		4
	<b>Всього по розділу</b>	4		8
	Розділ 7 Схемотехніка систем на ВІС та ІВІС			



43.	Схемотехніка мікропроцесорних комплектів	2		2
44.	Інтерфейси мікропроцесорних систем	2		2
45.	Схемотехніка ПЛІС	2		12
46.	ВІС та НВІС з програмованими структурами		2	
	<b>Всього по розділу</b>	6	2	16
	<b>Всього по предмету</b>	<b>88</b>	<b>40</b>	<b>112</b>

#### 4. Теми і плани лекційних занять

##### Роділ 1 Схемотехніка типових вузлів і блоків

*Тема. Основи комп'ютерної схемотехніки*

1. Вступ.
2. Основні компоненти
3. Перспективи розвитку

*Основні вузли і блоки цифрової техніки*

1. Вступ
2. Блоки цифрової техніки

*Тема. Будова типових вузлів і блоків цифрової техніки*

1. Вступ
2. Схеми цифрових пристроїв

*Тема. Спектральний аналіз періодичних і неперіодичних сигналів*

1. Вступ.
2. Аналоговий сигнал
3. Цифровий сигнал

*Тема. Перетворення безперервних сигналів*

1. Вступ
2. Безперервні сигнали
3. Схеми перетворення сигналів

*Тема. Кількісна оцінка інформації*

1. Вступ
2. Ємність інформації
3. Пристрої збереження інформації.

*Тема. Інтегральна схемотехніка ЕОМ*

1. Вступ
2. Інтегральні схеми

*Тема. Базові логічні елементи*

1. Вступ.
2. Логічні елементи.
3. Реалізація логічних елементів.

*Тема. Дослідження базових логічних елементів*

1. Вступ.
2. Схеми логічних елементів.
3. Часові діаграми логічних елементів.

##### Розділ 2 Системи числення

*Тема. Системи числення в техніці*

1. Вступ.
2. Системи числення.
3. Форми переведення чисел у системах числення.

*Тема. Основи алгебри логіки*

1. Вступ.
2. Булева алгебра.

*Тема. Арифметичні операції в двійковій і двійково-десятковій системах числення*

1. Вступ.
2. Додавання у двійковій системі числення.
3. Віднімання у двійковій системі числення.
4. Множення-ділення у двійковій системі числення.

*Тема. Синтез комбінаційних цифрових вузлів*

1. Вступ.
2. Комбінаційні цифрові вузли.

*Тема. Форми представлення чисел*

1. Вступ.
2. Розряд чисел

*Тема. Кодування чисел*

1. Вступ
2. Представлення інформації.
3. Системи кодування.

*Тема. Множення двійкових чисел*

1. Вступ.
2. Дія множення двійкових чисел.

*Тема. Логічні елементи, способи мінімізації*

1. Вступ.
2. Завдання мінімізації логічних функцій.
3. Методи мінімізації.

### **Розділ 3 Схемотехніка запам'ятовуючих пристроїв**

*Тема. Оперативна пам'ять. Регістрова та буферна*

1. Вступ.
2. Регістрова пам'ять.
3. Буферна пам'ять.

*Тема. Будова запам'ятовувальних пристроїв сучасних ЕОМ*

1. Вступ.
2. Системи запам'ятовувальних пристроїв.

*Тема. Постійна пам'ять. Асоціативна пам'ять*

1. Вступ.
2. Постійна пам'ять.
3. Асоціативна пам'ять.

*Тема. Принцип роботи ОЗП. КЕШ пам'ять.*

1. Вступ.
2. Оперативна пам'ять.
3. Функції КЕШ пам'яті.

*Тема. Тригери*

1. Вступ.
2. Розробка тригерів.
3. Швидкодія тригерів.

*Тема. Асинхронні тригери*

1. Вступ.

2. Розробка асинхронних тригерів.

*Тема. Синхронізуючі одноктактні тригери*

1. Вступ.

2. Типи синхронних тригерів.

3. Часові діаграми синхронних одноктактних тригерів.

*Тема. Синхронізуючі двотактні тригери*

1. Вступ.

2. Реалізація синхронних двотактних тригерів

3. Часові діаграми синхронних двотактних тригерів.

## **Розділ 4 Схемотехніка арифметичних пристроїв**

*Тема. Шифратори. Дешифратори*

1. Вступ.

2. Комбінаційні пристрої.

3. Шифратори.

4. Дешифратори.

*Тема. Дослідження дешифраторів і шифраторів*

1. Вступ.

2. Схеми реалізації дешифраторів.

3. Типи дешифраторів.

4. Схеми реалізації шифраторів.

5. Типи шифраторів.

*Тема. Мультиплексори. Демультимплексори*

1. Вступ.

2. Схеми реалізації мультиплексорів.

3. Типи мультиплексорів.

4. Схеми реалізації демультимплексорів.

5. Типи демультимплексорів.

*Тема. Регістри. Схеми зсуву*

1. Вступ.

2. Типи регістрів.

3. Схеми реалізації регістрів.

*Тема. Дослідження послідовних і паралельних регістрів*

1. Вступ.

2. Послідовні регістри.

3. Паралельні регістри.

4. Швидкодія регістрів.

*Тема. Різновиди суматорів*

1. Вступ.

2. Функції суматорів.

3. Реалізація суматорів.

*Тема. Дослідження суматорів.*

1. Вступ.

2. Типи суматорів.

*Тема. Пристрої множення чисел. Реалізація ділення та інших операцій.*

1. Вступ.

2. Реалізація пристроїв множення чисел.

3. Реалізація операцій над числами.

*Тема. Цифрові компаратори*

1. Вступ.

2. Функції компараторів.
3. Реалізація компараторів.

### **Розділ 5 Інтегральні схеми та перетворювачі**

*Тема. Технології виготовлення інтегральних мікросхем*

1. Вступ.
2. Технологія виробництва.

*Тема. Операційні підсилювачі*

1. Вступ.
2. Функції операційного підсилювача.
3. Структура операційного підсилювача.

*Тема. Реалізація логічних функцій у різноманітних базисах*

1. Вступ.
2. Базисні набори.

*Тема. Цифро-аналогові перетворювачі та аналогово-цифрові перетворювачі*

1. Вступ.
2. Функції АЦП і ЦАП.

*Тема. Цифро-аналогові та аналогово-цифрові перетворювачі*

1. Вступ.
2. Реалізація пристроїв АЦП і ЦАП.

*Тема. Генерація випадкових послідовностей*

1. Вступ.
2. Методи та засоби генерування.

### **Розділ 6 Управляючі та комунікаційні засоби**

*Тема. Схемотехніка пристроїв управління за призначенням*

1. Вступ.
2. Структура пристроїв.

*Тема. Різновиди та реалізація каналів передачі інформації*

1. Вступ.
2. Передача інформації

### **Розділ 7 Схемотехніка систем на ВІС та НВІС**

*Тема. Схемотехніка мікропроцесорних комплектів*

1. Вступ.
2. Мікропроцесорні пристрої.
3. Структура мікропроцесорних пристроїв.

*Тема. Інтерфейси мікропроцесорних систем*

1. Вступ.
2. Комунікаційні функції мікропроцесорних систем.
3. Шини даних.

*Тема. Схемотехніка ПЛІС*

1. Вступ.
2. Структура ПЛІС.
3. Функції ПЛІС.
4. Системи на основі ПЛІС.

*Тема. ВІС та НВІС з програмованими структурами*

1. Вступ.
2. Структура ВІС.
3. Інформаційні та керуючі сигнали ВІС.
4. Структура ВІС.

## **5. Темі і плани семінарських/практичних занять**

1. Будова типових вузлів і блоків цифрової техніки
2. Дослідження базових логічних елементів
3. Основи алгебри логіки
4. Синтез комбінаційних цифрових вузлів
5. Множення двійкових чисел
6. Будова запам'ятовувальних пристроїв сучасних ЕОМ.
7. Синхронізуючі одноктактні тригери
8. Синхронізуючі двотактні тригери
9. Дослідження дешифраторів і шифраторів \
10. Дослідження послідовних і паралельних регістрів
11. Дослідження суматорів
12. Реалізація логічних функцій у різноманітних базисах
13. Цифро-аналогові та аналогово-цифрові перетворювачі
14. ВІС та НВІС з програмованими структурами

## 2. Теми і завдання/питання для самостійної роботи студентів (вказати тему, кількість годин та форму контролю)

1. Основи комп'ютерної схемотехніки
2. Основні вузли і блоки цифрової техніки
3. Перетворення безперервних сигналів
4. Кількісна оцінка інформації
5. Системи числення в техніці
6. Форми представлення чисел
7. Логічні елементи, способи мінімізації
8. Оперативна пам'ять. Регістрова та буферна
9. Постійна пам'ять. Асоціативна пам'ять
10. Принцип роботи ОЗП. КЕШ пам'ять.
11. Тригери
12. Асинхронні тригери
13. Синхронізуючі одноктактні тригери
14. Синхронізуючі двотактні тригери
15. Шифратори. Дешифратори
16. Дослідження дешифраторів і шифраторів
17. Мультиплексори. Демультимплексори
18. Різновиди суматорів
19. Пристрої множення чисел. Реалізація ділення та інших операцій.
20. Структури арифметичних пристроїв різного призначення
21. Технології виготовлення інтегральних мікросхем
22. Схемотехніка пристроїв управління різного призначення
23. Різновиди та реалізація каналів передачі інформації
24. Схемотехніка мікропроцесорних комплектів різного призначення
25. Інтерфейси мікропроцесорних систем
26. Схемотехніка ПЛІС

*Форма контролю: опитування, перевірка рефератів/конспекту*

## 6. Методи активізації навчального процесу

Класичні лекції, лекції проблемного характеру, практичні заняття, семінари-дискусії; реферування; повідомлення за темою (усна доповідь);

розв'язування аналітично-розрахункових задач; виконання студентами самостійних завдань

## **8. Система поточного і підсумкового контролю знань** (+перелік питань на залік, екзамен)

Поточний контроль: усне/письмове опитування, самостійна робота, презентація (представлення виконаного завдання); тестові завдання, розв'язання аналітично-розрахункових задач; перевірка рефератів/конспектів тощо.

Підсумковий контроль: екзамен.

### **Питання для екзамену:**

1. Взаємодія між операційним і керуючим автоматами.
2. Визначення комбінаційної схеми.
3. Визначення послідовної схеми.
4. Визначення тригерної схеми.
5. Класифікація тригерних схем за способом синхронізації.
6. Класифікація тригерних схем за структурою побудування.
7. Класифікація тригерних схем за функціональним призначенням.
8. Класифікація тригерних схем за реакцією на завади.
9. Поняття активності сигналу.
10. Таблиця переходів RS-тригера з прямим керуванням.
11. Логічна схема RS-тригера з прямим керуванням.
12. Функції збудження RS-тригера з прямим керуванням.
13. Реакція RS-тригера з прямим керуванням на заборонну комбінацію.
14. Часові діаграми RS-тригера з прямим керуванням.
15. Динамічні характеристики RS-тригера з прямим керуванням.
16. Таблиця переходів RS-тригера з інверсним керуванням.
17. Логічна схема RS-тригера з інверсним керуванням.
18. Функції збудження RS-тригера з інверсним керуванням.
19. Реакція RS-тригера з інверсним керуванням на заборонну комбінацію.
20. Часові діаграми RS-тригера з інверсним керуванням.
21. Динамічні характеристики RS-тригера з інверсним керуванням.
22. Принцип функціонування синхронних тригерів.
23. Таблиця переходів RCS-тригера з прямим керуванням.
24. Логічна схема RS-тригера з прямим керуванням.
25. Функції збудження RS-тригера з прямим керуванням.
26. Часові діаграми RS-тригера з прямим керуванням.
27. Динамічні характеристики RS-тригера з прямим керуванням.
28. Тригери з комбінованим керуванням.
29. Кон'юнктиві і диз'юнктивні групи входів.
30. Синтез тригерів з комбінованим керуванням.
31. Як розрахувати час перемикання тригеру?

32. Поясніть функціонування асинхронного RS-,RS-тригерів при переході вхідних сигналів з забороненої комбінації в комбінацію збереження інформації.
33. Як правильно виміряти час перемикання тригера?
34. Для заданої часової діаграми вхідних сигналів RS-тригера побудувати часові діаграми сигналів на прямому і інверсному виходах з врахуванням затримок логічних елементів.
35. Поясніть поняття «прозорість» тригера.
36. Принцип функціонування D-тригера.
37. Таблиця переходів D-тригера.
38. Логічна схема D-тригера.
39. Функції збудження D-тригера.
40. Часові діаграми D-тригера.
41. Динамічні характеристики D-тригера.
42. D-тригери.
43. Визначити тип тригера, якщо в схемі RS-тригера елементи І-НІ замінити елементами АБО-НІ.
44. Визначити тип тригера, якщо в схемі RS-тригера елементи І-НІ замінити елементами АБО-НІ.
45. В чому різниця між принципами роботи асинхронних і синхронних одноктактних тригерів?
46. Як розрахувати час затримки одноктактових тригерів?
47. Принцип функціонування двотактних тригерів.
48. Принцип функціонування двоступеневих тригерів.
49. Логічна схема двоступеневого RCS-тригера.
50. Часові діаграми двоступеневого RCS-тригера.
51. Реакція на завади двоступеневого RCS-тригера з інвертором.
52. Двоступеневий RCS-тригера з забороннім зв'язком.
53. Часові діаграми двоступеневого RCS-тригера з забороннім зв'язком.
54. Реакція на завади двоступеневого RCS-тригера з забороннім зв'язком.
55. Поняття «фронт сигналу».
56. Поняття «зріз сигналу».
57. Динамічні характеристики двоступеневих тригерів.
58. Логічна схема двоступеневого JK-тригера.
59. Принцип функціонування JK-тригерів.
60. Логічна схема двоступеневого D-тригера.
61. Функції збудження двоступеневого JK-тригера.
62. Часові діаграми двоступеневого JK-тригера.
63. Двоступеневий JK-тригера з забороннім зв'язком.
64. Часові діаграми двоступеневого JK-тригера з забороннім зв'язком.
65. Чому не використовуються JK-тригери із спрацьовуванням за рівнем синхросигналу?
66. Принцип функціонування асинхронного T-тригера.
67. Часові діаграми асинхронного T-тригера.

68. Як розрахувати час підготовки, затримки і витримки тригерів із спрацьовуванням по фронту синхросигналу?
69. Як визначити максимальну частоту синхроімпульсів тригера  $f_{\max}$ ?
70. Тригери з динамічним керуванням.
71. Логічна схема D-тригера з динамічним керуванням.
72. Часові діаграми D-тригера з динамічним керуванням.
73. Які елементи DC-тригерів визначають час затримки відносно фронту синхросигналу ?
74. Що таке час підготовки тригера?
75. Асинхронні входи тригерів.
76. Використання асинхронних входів тригерів для реалізації мікрооперацій.
77. Синтез тригерів на базі тригерів.
78. Визначення регістрів.
79. Структурна схема регістра з керованою синхронізацією.
80. Структурна схема регістра з некерованою синхронізацією.
81. Синтез регістрів з керованою синхронізацією на базі тригерів.
82. Синтез регістрів з некерованою синхронізацією на базі тригерів.
83. Які функції виконує регістр?
84. Які етапи включає синтез багатофункціонального регістру?
85. Яке призначення системи синхронізації багатофункціональних регістрів?
86. Різновиди регістрів і їх структурних організацій.
87. Побудувати часові діаграми заданого регістру.
88. Які типи зсувів використовуються в регістрах?
89. Синтез регістра з керованою синхронізацією на базі регістра.
90. Функції шифратора.

## 9. Критерії оцінювання навчальних досягнень здобувачів освіти

Оцінювання знань за 4-бальною системою:

**Оцінка "5" (відмінно, високий рівень)** ставиться тоді, коли студент: студент міцно засвоїв теоретичний матеріал, глибоко і всебічно знає зміст навчальної дисципліни «Комп'ютерна схемотехніка», основні положення рекомендованої літератури, логічно мислить і будує відповідь, вільно використовує набуті теоретичні знання при аналізі практичного матеріалу, висловлює своє ставлення до тих чи інших проблем, демонструє високий рівень засвоєння практичних навичок;; самостійно виконує **95 -85%** від загальної кількості тестів поточного контролю.

**Оцінка «4» (добре, достатній рівень)** ставиться тоді, коли відповідь в основному задовольняє ті самі вимоги, що й на відповідь на оцінку «5», але робить незначні помилки при відповіді на теоретичні питання, допускає невеликі неточності при складанні розрахунків і виконує завдання на рівні аналогічного



відтворення, самостійно виконує **75-85%** від загальної кількості тестів поточного контролю.

**Оцінка «3» (задовільно, середній рівень) ставиться** тоді, коли студент знає і розуміє основні положення теми, але: не досить глибоко володіє матеріалом, допускає помилки, при визначенні понять комп'ютерної схемотехніки; у відповіді немає послідовності, чіткості; допускає помилки при складанні кореспонденції рахунків; при виконанні завдання не може ефективно використовувати наявний наочний матеріал; виявляє основні знання в обсязі, необхідному для подальшого навчання і роботи на рівні репродуктивного відтворення; самостійно виконує **55-65%** від загальної кількості тестів поточного контролю.

**Оцінка «2» (незадовільно, початковий рівень) ставиться** тоді, коли студент не орієнтується в матеріалі, допускає істотні помилки, що спотворюють зміст вивченого розділу, виявляє серйозні пробіли в знаннях основного матеріалу, допускає грубі помилки на рівні нижче репродуктивного відтворення, самостійно виконує **20-45%** від загальної кількості тестів поточного контролю.

## 10. Рекомендована література

### Основна

1. О. М. Воробйова, В. Д. Іванченко. Основи схемотехніки: підручник. – [2-е вид.]. – Одеса: Фенікс, 2009. – 388 с.
2. Комп'ютерна схемотехніка : підручник / [Азаров О. Д., Гарнага В. А., Клятченко Я. М., Тарасенко В. П.]. – Вінниця : ВНТУ, 2018. – 230 с. ISBN 978-966-641-736-0.
3. Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка. Підручник. – Х.: НТУ “ХПІ”, 2007. – 480 с.
4. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання] / О.В. Задерейко, Н.І. Логінова, О.Г. Трофименко, С.Ю. Манаков, А.А. Толочков, В.І. Гура 2-ге вид. перероб. і доповн. Одеса : Фенікс, 2022. – 233 с. URL: <http://dspace.onua.edu.ua/handle/11300/22764>.
5. Бабич М.П., Жуков І.А. Комп'ютерна схемотехніка. Підручник для ВУЗів МК-Пресс 412с. 2004р.

### Додаткова

1. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання] / О.В. Задерейко, Н.І. Логінова, О.Г. Трофименко, С.Ю. Манаков, А.А. Толочков, В.І. Гура 2-ге вид. перероб. і доповн. Одеса : Фенікс, 2022. – 233 с. URL: <http://dspace.onua.edu.ua/handle/11300/22764>.
2. Бабич М.П., Жуков І.А. Комп'ютерна схемотехніка. Навчальний посібник. – К.: НАУ, 2002. – 508 с.

### Інформаційні ресурси

1. Електронний портал: <https://scholar.google.com/>

(зразки можливих різнорівневих видів контролю отриманих знань)

### **Зразок питань для усного/письмового опитування**

1. В чому різниця між принципами роботи асинхронних і синхронних одноктактних тригерів?
2. Як розрахувати час затримки одноктактових тригерів?
3. Принцип функціонування двотактних тригерів.
4. Принцип функціонування двоступеневих тригерів.
5. Логічна схема двоступеневого RCS-тригера.
6. Часові діаграми двоступеневого RCS-тригера.
7. Реакція на завади двоступеневого RCS-тригера з інвертором.
8. Двоступеневий RCS-тригера з забороннім зв'язком.
9. Часові діаграми двоступеневого RCS-тригера з забороннім зв'язком.
10. Реакція на завади двоступеневого RCS-тригера з забороннім зв'язком.
11. Поняття «фронт сигналу».
12. Поняття «зріз сигналу».
13. Динамічні характеристики двоступеневих тригерів.
14. Логічна схема двоступеневого JK-тригера.
15. Принцип функціонування JK-тригерів.
16. Логічна схема двоступеневого D-тригера.
17. Функції збудження двоступеневого JK-тригера.
18. Часові діаграми двоступеневого JK-тригера.
19. Двоступеневий JK-тригера з забороннім зв'язком.
20. Часові діаграми двоступеневого JK-тригера з забороннім зв'язком.
21. Чому не використовуються JK-тригери із спрацьовуванням за рівнем синхросигналу?
22. Принцип функціонування асинхронного T-тригера.
23. Часові діаграми асинхронного T-тригера.
24. Як розрахувати час підготовки, затримки і витримки тригерів із спрацьовуванням по фронті синхросигналу?
25. Як визначити максимальну частоту синхроімпульсів тригера  $f_{\max}$ ?
26. Тригери з динамічним керуванням.
27. Логічна схема D-тригера з динамічним керуванням.
28. Часові діаграми D-тригера з динамічним керуванням.
29. Які елементи DC-тригерів визначають час затримки відносно фронту синхросигналу ?
30. Що таке час підготовки тригера?
31. Асинхронні входи тригерів.
32. Використання асинхронних входів тригерів для реалізації мікрооперацій.
33. Синтез тригерів на базі тригерів.
34. Визначення регістрів.
35. Структурна схема регістра з керованою синхронізацією.

36. Структурна схема регістра з некерованою синхронізацією.
37. Синтез регістрів з керованою синхронізацією на базі тригерів.
38. Синтез регістрів з некерованою синхронізацією на базі тригерів.
39. Які функції виконує регістр?
40. Які етапи включає синтез багатфункціонального регістру?
41. Яке призначення системи синхронізації багатфункціональних регістрів?
42. Різновиди регістрів і їх структурних організацій.
43. Побудувати часові діаграми заданого регістру.
44. Які типи зсувів використовуються в регістрах?
45. Синтез регістра з керованою синхронізацією на базі регістра.
46. Функції шифратора.

### Зразок тестових завдань

1.

№ 1	Оперативна пам'ять — це ...
1	пам'ять ЕОМ, призначена для зберігання коду та даних програм під час їх виконання.
2	пам'ять, призначена для постійного зберігання інформації
3	пам'ять ЕОМ, призначена для зберігання коду та даних програм під час їх виконання
4	Елемент ПК для здійснення електропостачання із зазначенням витрат
№ 2	Тригер – це ...
1	електронна логічна схема, яка має два стійкі стани, в яких може перебувати, доки не зміняться відповідним чином сигнали керування
2	електронна логічна схема, яка має 1 стійкий стан, в яких може перебувати, доки не зміняться відповідним чином сигнали керування
3	контролер пам'яті, що виконує логічні операції додавання
4	логічний оператор, що здійснює запрограмовану в нього функцію
№ 3	Універсальним тригером називають ...
1	T-тригер
2	JK-тригер
3	RS-тригер
4	D-тригер
№ 4	Дискретизація – це
1	перетворення функцій дискретних змінних у функції постійних змінних, за якими початкові функції можуть бути відновлені із заданою точністю.
2	розбивка діапазону значень функції на скінчену кількість різних інтервалів.
3	перетворення функцій неперервних змінних у функції дискретних змінних, за якими початкові неперервні функції можуть бути відновлені із заданою точністю.
4	умови роботи ПЛК

№ 5		1 JK-тригер
		2 асинхронний двотактний RS-тригер
		3 синхронний двотактний RS-тригер
		4 синхронний однотоктний RS-тригер
	На рис. зображено	5 T-тригер

### Зразок аналітично-розрахункової задачі

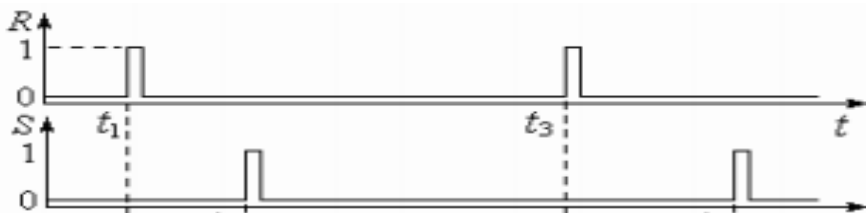
**Задача. 1.** Перевести число з двійкової системи числення в десяткову систему числення:

- 11001;
- 1110111.

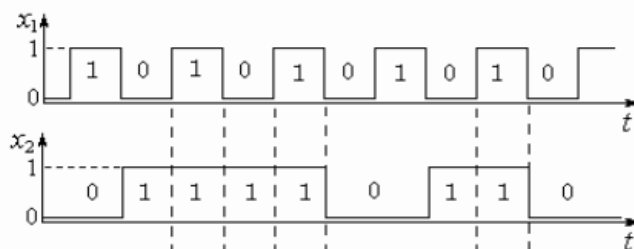
2. Перевести число з десяткової системи числення в двійкову систему числення:

- 117;
- 224.

3. Завершіть часову діаграму RS-тригера.



4. Завершіть часову діаграму для елементів І, АБО.



### Зразок питань для самоконтролю

- В чому різниця між принципами роботи асинхронних і синхронних однотоктних тригерів?
- Як розрахувати час затримки однотоктових тригерів?
- Принцип функціонування двотактних тригерів.
- Принцип функціонування двоступеневих тригерів.
- Логічна схема двоступеневого RCS-тригера.
- Часові діаграми двоступеневого RCS-тригера.
- Реакція на завади двоступеневого RCS-тригера з інвертором.
- Двоступеневий RCS-тригера з забороннім зв'язком.

9. Часові діаграми двоступеневого RCS-тригера з заборонним зв'язком.
10. Реакція на завади двоступеневого RCS-тригера з заборонним зв'язком.
11. Поняття «фронт сигналу».
12. Поняття «зріз сигналу».
13. Динамічні характеристики двоступеневих тригерів.
14. Логічна схема двоступеневого JK-тригера.
15. Принцип функціонування JK-тригерів.
16. Логічна схема двоступеневого D-тригера.
17. Функції збудження двоступеневого JK-тригера.
18. Часові діаграми двоступеневого JK-тригера.
19. Двоступеневий JK-тригера з заборонним зв'язком.
20. Часові діаграми двоступеневого JK-тригера з заборонним зв'язком.
21. Чому не використовуються JK-тригери із спрацьовуванням за рівнем синхросигналу?
22. Принцип функціонування асинхронного T-тригера.
23. Часові діаграми асинхронного T-тригера.
24. Як розрахувати час підготовки, затримки і витримки тригерів із спрацьовуванням по фронті синхросигналу?
25. Як визначити максимальну частоту синхроімпульсів тригера  $f_{\max}$ ?
26. Тригери з динамічним керуванням.
27. Логічна схема D-тригера з динамічним керуванням.
28. Часові діаграми D-тригера з динамічним керуванням.
29. Які елементи DC-тригерів визначають час затримки відносно фронту синхросигналу ?
30. Що таке час підготовки тригера?
31. Асинхронні входи тригерів.
32. Використання асинхронних входів тригерів для реалізації мікрооперацій.
33. Синтез тригерів на базі тригерів.
34. Визначення регістрів.
35. Структурна схема регістра з керованою синхронізацією.
36. Структурна схема регістра з некерованою синхронізацією.
37. Синтез регістрів з керованою синхронізацією на базі тригерів.
38. Синтез регістрів з некерованою синхронізацією на базі тригерів.
39. Які функції виконує регістр?
40. Які етапи включає синтез багатофункціонального регістру?
41. Яке призначення системи синхронізації багатофункціональних регістрів?
42. Різновиди регістрів і їх структурних організацій.
43. Побудувати часові діаграми заданого регістру.
44. Які типи зсувів використовуються в регістрах?
45. Синтез регістра з керованою синхронізацією на базі регістра.
46. Функції шифратора.